

**ОДНОКРИСТАЛЛЬНЫЕ СИСТЕМЫ С ДИНАМИЧЕСКОЙ
РЕКОНФИГУРАЦИЕЙ В РАДИОЭЛЕКТРОННОЙ АППАРАТУРЕ
СПЕЦИАЛЬНОГО НАЗНАЧЕНИЯ**

Правитель А. С.

научный руководитель канд. техн. наук Непомнящий О. В.

Сибирский федеральный университет

Рассмотрена проблема повышения устойчивости радиоэлектронной аппаратуры специального назначения к основным дестабилизирующим факторам. Предложено решение повышения надежности и унификации цифровых систем управления базирующихся на сверхбольших интегральных схемах. Решение основывается на применении принципа динамической реконфигурации тактовых доменов программируемых логических интегральных схем. Изложены результаты практического применения предложенного метода для реализации контроллера управления двигателем. Намечены перспективные пути повышения надежности радиоэлектронной аппаратуры за счет использования интегральных схем с динамически реконфигурируемой архитектурой.

В сложных системах, проектируемых для нужд космической, авиационной и оборонной промышленности, используют радиоэлектронную аппаратуру (РЭА) специального назначения. К такой аппаратуре предъявляются крайне высокие требования по обеспечению устойчивости, поскольку электронные модули специального назначения должны сохранять свою работоспособность или восстанавливать её в течении заданного отрезка времени.

Однокристалльные вычислительные системы, входящие в состав специализированной РЭА, функционируют в сложных условиях космического пространства (КП) или в районах ведения боевых действий, подвергаются комплексному воздействию дестабилизирующих факторов (ДФ) К основным ДФ относят [1]: вибрации, перепады температур, линейные нагрузки, ионизирующее излучение. Среди выше перечисленных ДФ, наибольший негативный эффект наблюдается при воздействии ионизирующего излучения (ИИ) [2]. Под действием ИИ в интегральных схемах наблюдаются два вида отказов: одни происходят в результате накопления соответствующей дозы радиации, другие в результате попадания высокоэнергетической частицы (космические лучи, протоны, электроны, альфа-частицы, термические нейтроны и т.д.). К первому типу относятся рост задержек элементов или изменение логических уровней интегральных схем. Второй тип отказов принято называть одиночными сбоями (SEE). К SEE относят: изменение состояния регистра памяти, кратковременное изменение уровня на выходе логического элемента и др.

Обеспечение высокой надёжности и стойкости к ДФ достигается за счёт применения комплекса мер на всех этапах проектирования и подготовки. В частности применяют технологические, схемотехнические, конструктивные решения, при этом на этапах верификации и предварительных испытаний конечных устройств выполняют симуляцию и моделирование воздействия ДФ. Кроме того, обеспечение надежности состоит не только в защите от внешних, но и от внутренних дестабилизирующих воздействий. К внутренним дестабилизирующим воздействиям относятся ошибки в аппаратном и программном обеспечении, которые не были устранены на этапе проектирования, не были обнаружены при испытаниях или были внесены на этапе производства электронных средств. Наличие таких ошибок является вполне объективным фактором, который

принципиально нельзя исключать из рассмотрения в виду высокой сложности СБИС входящих в состав современной РЭА.

Однако, при реализации электронных систем управления (ЭСУ) на основе аналоговой или цифровой элементной базы малой степени интеграции, большинство подходов приводят к увеличению массогабаритных характеристик, росту собственного энергопотребления оборудования и увеличению задержек внутри схемы.

Применение в составе РЭА сверхбольших интегральных схем (СБИС) и систем на кристалле (СнК) с одной стороны способствует решению вышеизложенных проблем, однако при этом возникают дополнительные требования к устойчивости СБИС, поскольку, даже частичный выход из строя однокристалльного вычислителя приводит к невосполнимым потерям.

Таким образом, требуется разработка новых методов системной организации, верификации и тестирования СБИС для РЭА ответственного применения.

Появление высокопроизводительных программируемых логических интегральных схем (ПЛИС) имеющих встроенные на кристалл системы динамической реконфигурации способно изменить ситуацию [3].

Для обеспечения должного уровня противодействия ДФ, система, функционирующая в режиме динамической реконфигурации, может изменять содержимое ПЛИС в определенные интервалы времени с целью восстановления ячеек в результате сбоев. При использовании динамической реконфигурации, кристалл способен менять свою внутреннюю логическую структуру в режиме реального времени за время, значительно меньшее времени выполнения вычислительных задач, между которыми происходила смена структуры. Требования к значению времени реконфигурирования динамически реконфигурируемой системы (ДРС) могут меняться во время работы устройства.

В плане унификации, система управления помимо высокой надежности, должна обеспечивать максимальную универсальность, что позволит использовать одну и ту же СБИС для различных задач. Для обеспечения универсальности, при модульном построении РЭА, так же возможно изменение внутренней архитектуры СБИС непосредственно в процессе функционирования.

ДРС состоит как минимум из двух базовых элементов:

- динамически реконфигурируемого модуля (вычислителя), который предназначен для реализации вычислительных операций и основной элементной базой которого на сегодняшний день являются ДР ПЛИС;
- управляющего модуля (контроллера), в котором реализуются основные операции управления и специальная операция загрузки конфигурационного файла в динамически реконфигурируемый модуль из произвольного места в памяти. Таким образом, контроллер фактически представляет собой процессор, функциональный базис которого может быть неполным (могут отсутствовать все вычислительные операции, кроме тех, которые необходимы при работе с памятью).

С целью практической реализации системы с динамической реконфигурацией, авторами разработан лабораторный образец контроллера управления синхронного двигателя с электромагнитной редукцией (СДЭР) применяющегося в составе модуля раскрытия антенны в рабочее положение.

При разработке контроллера, предложена магистрально-модульная архитектура центрального вычислителя с динамической реконфигурацией. В целях повышения надежности системы и предотвращения изменения состояния регистров памяти вследствие одиночных сбоев, в разрабатываемом контроллере использован метод тройного резервирования на уровне процессора. Следует отметить, что каждый процессорный блок является реконфигурируемым модулем и находится в реконфигурируемых доменах ПЛИС. Благодаря этому имеется возможность восстановления поврежденного в ре-

зультате ДФ процессорного ядра, путем перезаписи содержимого соответствующего домена ПЛИС.

Контроллер памяти представляет собой систему, состоящую из контроллера конфигурационной внешней памяти и контроллера общей, для всех процессорных ядер, оперативной памяти, при этом вся система вынесена за пределы процессорного блока. Это решение основывается на следующих предпосылках. Во-первых, при таком подходе контроллер памяти может быть организован как самонастраивающаяся адаптивная система, с триплированием на архитектурном уровне и физически реализован на отдельном кристалле повышенной степени защиты от ДФ. Во-вторых, это упрощает архитектуру процессорного модуля и положительно сказывается на ресурсных ограничениях ПЛИС, поскольку процессорные блоки обращаются к контроллеру памяти через шину Avalon и мажоритарную схему. При этом оперативная память является общей для всех процессоров, то есть, для каждого процессора нет необходимости в организации собственной памяти и, как следствие, исключается дополнительный арбитр шин. В-третьих, при использовании единой внешней оперативной памяти с динамическим режимом функционирования наличие одного контроллера является обязательным условием, поскольку в противном случае необходимо организовывать для каждого модуля оперативной памяти свой собственный контроллер.

В состав вычислителя входят три ядра процессора программного процессора Nios II с общей внешней кэш памятью, а так же контроллер магистрали в стандарте Avalon. При этом ядра вычислителя сопрягаются с памятью посредством мажоритарной схемы. Следует отметить, что в данном случае, количество процессорных ядер, входящих в состав контроллера ограничивается только ресурсами ПЛИС. Кроме того, для обеспечения устойчивости к одиночным сбоям, не только контроллеры памяти и контроллеры ввода-вывода так же организованы по схеме с тройным резервированием.

Контроллер динамической реконфигурации (управляющий модуль) выполняет функцию начальной инициализации, а также осуществляет динамическую реконфигурацию ПЛИС в случае обнаружения мажоритарными схемами несоответствия выходных данных памяти или периферийной системы для определённого процессора в случае сбоя. В разработанной системе все вычислители обмениваются информацией с внешними блоками через мажоритарную схему – это позволяет уменьшить количество ошибок возникших в результате сбоя аппаратной части, однако не избавляет от ошибок на алгоритмическом уровне. Для обнаружения ошибок, перед каждым входом в мажоритарную схему генерируется уникальная контрольная подпись для данных прошедших через этот блок. Подпись короче чем поток данных, следовательно, проще и быстрее для сравнения. Если какая-либо подпись отличается от других (т.е. данные отличаются), даже если эта ошибка будет исправлена на выходе мажоритарной схемы, управляющий модуль инициируется к принятию мер, так как ошибка могла быть вызвана неисправной конфигурацией процессора. Флаг ошибки содержит информацию о номере поврежденного вычислителя, который должен быть проверен на соответствие содержимому конфигурационной памяти, переконфигурирован и перезапушен.

В лабораторном макете контроллер динамической реконфигурации (управляющий модуль) типологически размещен в отдельном секторе кристалла. Однако при практической реализации он изготавливается в виде специализированной заказной микросхемы (ASIC) с повышенным уровнем защиты от ДФ, например, на базе кристалла изготовленного по технологии наращиваемых перемычек – Antifuse. Ядром контроллера памяти является не отдельный процессор с собственной памятью, а конечный автомат, обладающий необходимым и достаточным набором функций управления. Сопряжение модуля реконфигурации с ПЛИС осуществляется посредством стандартизированного интерфейса ICAP.

При реализации проекта разработан код контроллера конфигурационной памяти для ПЛИС на языке Verilog. В состав контроллера входят: делитель тактовой частоты, блок формирования импульса реконфигурации необходимой длины, конечный автомат и стандартный IP-модуль, входящий в состав Altera Quartus II.

Делитель тактовой частоты преобразует опорную тактовую частоту в частоту, необходимую для корректного функционирования IP-модуля и разработанного конечного автомата. IP-модуль формирует сигналы, которые необходимы для реконфигурации ПЛИС. Также в состав IP-модуля входит watchdog таймер, который по окончании счёта производит реконфигурацию устройства. Конечный автомат настраивает IP-модуль на необходимый режим работы и задаёт адрес конфигурации, хранящейся во flash памяти. Кроме того, после каждой реконфигурации автомат считывает с шины данных информацию и сигнализирует о том, что вызвало конфигурацию ПЛИС: начальная загрузка, окончание счёта watchdog таймера, внешнее прерывание.

Выводы

В результате проведенных исследований предложен подход к архитектурной организации самовосстанавливающихся однокристалльных систем, базирующийся на принципе динамической реконфигурации тактовых доменов. Кроме того, предложенный подход позволяет унифицировать и расширить функциональные возможности РЭА, путем автоматической настройки и адаптации на текущий класс решаемых задач за счет изменения топологии управляющей ПЛИС непосредственно в процессе функционирования.

Разработанная архитектура и функциональный состав однокристалльного вычислителя для лабораторного образца контроллера управления двигателем наглядно демонстрирует возможность реализации означенных систем. При этом полученные результаты тестирования контроллера в полушаговом режиме управления двигателем, позволяют отметить, что реконфигурация ПЛИС происходит за время значительно меньшее времени формирования импульсов управления. То есть обеспечивается режим реального времени.

Переход от лабораторного образца к практическому применению предложенного подхода может осуществляться различными путями. Например, путем замены промышленного процессорного ядра Nios II на специализированное ядро Leon 3 FT и целевого кристалла Altera Stratix IV на кристалл для специальных применений из серии Virtex 5 QV от компании Xilinx.

Следует отметить, что в случае реализации систем реального времени применение предложенного подхода ограничивается тактовой частотой FPGA и скоростью поступления информационных потоков. Однако и в этом случае решение может быть найдено при динамическом распараллеливании поступающих данных.

Библиографический список

- 1 Чумаков А. И. Действие космической радиации на интегральные схемы. М.: Радио и связь, 2004.
- 2 Юдинцев В. Радиационно стойкие интегральные схемы. Надёжность в космосе и на земле. – ЭЛЕКТРОНИКА: НТБ, 2007, №5.
- 3 Филиппов А.К. Высокнадёжные динамически реконфигурируемые системы обработки информации для ответственных применений. – Проектирование и технология электронных средств, 2008, № 2. – С. 2 – 9.